

可综合设计和Verilog 简介

清华大学电子工程系

李安新

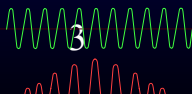
Lax00@mails.tsinghua.edu.cn

内容

- 可综合设计简介。
- 可综合设计准则。
- 可综合子集。
- 组合电路和时序电路的可综合设计。
- VerilogHDL简介。
- Verilog基本语法。

设计流程

- 分析：制定规范
- 设计：状态图，真值表，编写代码。
- 验证：证明电路的正确性。仿真和形式化验证。
- 综合：高层次到低层次转换。生成网表
- 测试：发现废品。生成测试向量。



可综合设计

- 可综合是我们的设计的根本目的对代码的最基本要求。
- EDA界普遍认为有效的建模风格是控制综合结果最为有利的手段。

代码对综合的影响

● 例1

Case sel is

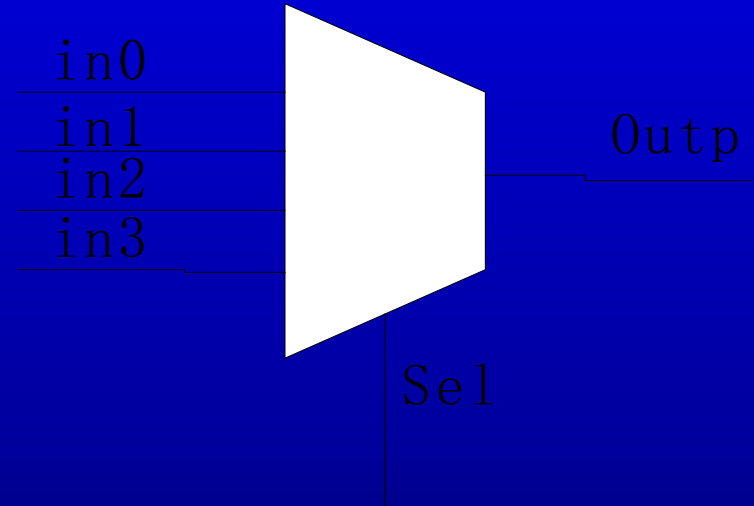
when “00” => outp<=in0;

when “01” => outp<=in1;

when “10” => outp<=in2;

when “11” => outp<=in3;

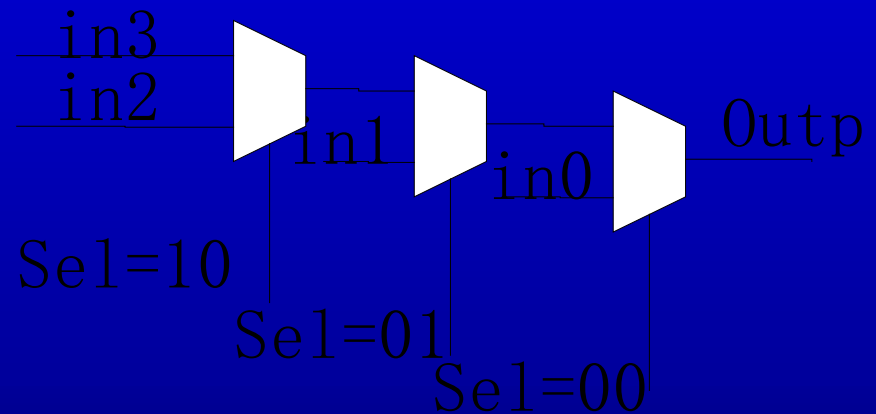
End case;



代码对综合的影响

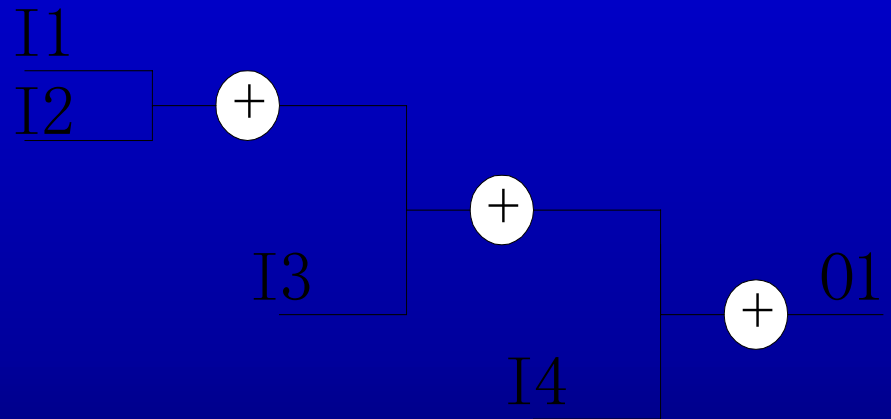
- 例2

```
if sel="00" then
    outp<=in0;
Elsif sel="01" then
    outp<=in1;
Elsif sel="10" then
    outp<=in2;
Else
    outp<=in3;
End if;
```



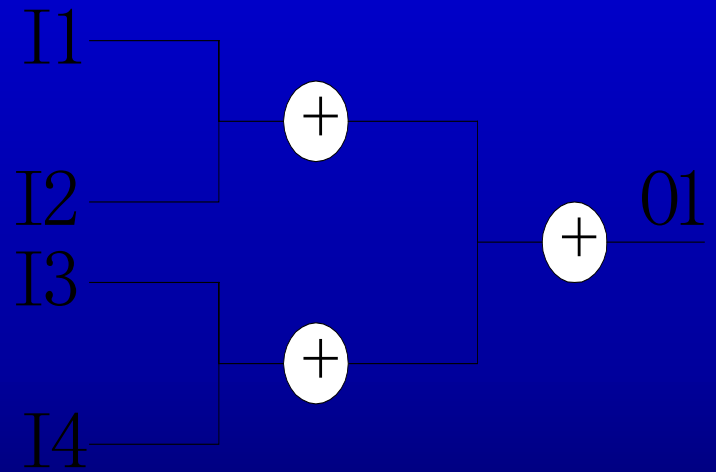
代码对综合的影响

- 例3
- $O1 \leq I1 + I2 + I3 + I4;$



代码对综合的影响

- $O1 \leq (I1 + I2) + (I3 + I4)$



可综合设计——设计准则1

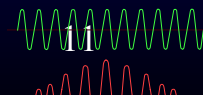
- 将硬件的行为为指标以合理的方式映射为一些进程。
- 对于每个进程完成的操作，尽量选择最有效的算法。
- 了解综合器的性能，特别是了解综合工具支持的VHDL可综合子集。以合理的代码风格引导综合工具生成硬件。

可综合设计——设计准则2

- 在条件允许情况下，尽量用变量代替信号，对于固定值的信号要用常量代替。
- 尽量共享复杂运算，可以共享的数据处理用函数和过程定义。
- 明确指出过程的无关态，引导综合器进行优化。
- 使用能够满足需要的最小数据宽度。

可综合设计——设计准则3

- 用组合逻辑实现的电路和用时序逻辑实现的电路要分配到不同的进程中。
- 不要使用枚举类型的属性。
- **Integer**应加范围限制。
- 通常的可综合代码应该是同步设计。
- 避免门级描述，除非在关键路径中。



可综合设计——进程划分原则1

- 进程划分应考虑因素：
 - 信号个数。
 - 进程复杂度。
 - 映射困难程度。

可综合设计——进程划分原则2

- 进程划分原则
- 相关的组合逻辑放到同一进程。
- 结构规则的逻辑块（如多位加法器）和随机逻辑块（如指令译码硬连线逻辑）分开到不同的模块中。
- 进程任务单一化。

可综合设计——可综合子集1

- 延时描述（**after**，**wait for**语句）等被忽略。
。不要在要综合模块里使用这些语句。
- 不支持或有限支持的数据类型：
实型，文件类型，多维数组，记录等。
- 物理类型。
- 不用于时钟沿的**wait**信号。

可综合设计——可综合子集2

- 不要使用初始值，在综合时忽略。
- 不支持的运算符：
/， ** ， abs， mod， rem等。
- 循环次数不确定的循环语句。
- Report， 仲裁函数。

可综合设计—组合电路设计1

- 进程有显式定义的敏感信号列表或进程只有单一的同步控制点。
- 进程中不包含任何变量或者含有变量，但变量出现在读操作之前;所有被读访问的信号都出现在敏感表中。
- 进程中输出的信号在“条件”的各种可能情况下都被赋值，且赋值号右边不出现该信号。

可综合设计—组合电路设计2

- 组合逻辑和锁存逻辑不要使用反馈回路。
- 动态索引，循环，算术运算符会产生大量门且难以优化。

可综合设计—组合电路设计3

- Eg1: 通常格式

```
P1:process(a,b,c)
```

```
.....
```

```
Begin
```

```
.....没有其它同步描述
```

```
End process P1;
```

可综合设计—组合电路设计4

- Eg2:不会形成存储器件的变量

```
P1:Process(a,b,c)
```

```
    Variable var:bit;
```

```
Begin
```

```
    var:=a xor b;
```

```
    s<=var and c;
```

```
End process P1;
```

可综合设计—组合电路设计5

- Eg3: 会形成存储器的变量

```
P2:process
```

```
  Type t_state is (stop,go);
```

```
  Variable state:t_state;
```

```
Begin
```

```
  Wait until clock='1' and clock'event;
```

```
  Case state is
```

```
    When stop=> state:=go;
```

```
    When go=>state:=stop;
```

```
  End case;
```

```
End process p2;
```

可综合设计—时序电路设计

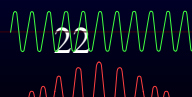
- 进程中所有被读访问的信号不在敏感表内。
- 进程中至少有一个信号不是if或case每种可能分支上的赋值对象。
- 通常敏感表里只放时钟信号或复位信号。
- 确保reset,clock干净。
- 所有内部寄存器应能reset。

可综合设计—时序电路设计

- P1:process(clk,rst)
begin
 if rst=1 then //异步复位
 复位操作;
 elsif clock'event and clock='1' then

 end if;

end process p1;



可综合设计—时序电路设计

- P1:process(clk)
begin
if clock'event and clock='1' then
elseif rst=1 then //同步复位
.....复位操作;
else
.....
end if;
.....
end process p1;

小结

- 可综合设计准则。
- 可综合子集。
- 组合电路可综合设计。
- 时序电路可综合设计。